



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0046982
Application Number

출원년월일 : 2003년 07월 10일
Date of Application JUL 10, 2003

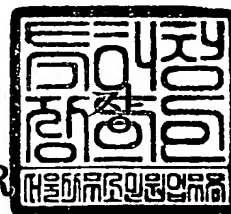
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.10
【발명의 명칭】	트렌치 소자분리 방법
【발명의 영문명칭】	trench isolation method
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	김홍래
【성명의 영문표기】	KIM,HONG RAE
【주민등록번호】	750105-1005514
【우편번호】	139-223
【주소】	서울특별시 노원구 중계3동 중계2단지 아파트 201-112
【국적】	KR
【발명자】	
【성명의 국문표기】	이주범
【성명의 영문표기】	LEE, JU BUM
【주민등록번호】	650105-1247522
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대아파트 402동 1803
【국적】	KR
【발명자】	
【성명의 국문표기】	김민
【성명의 영문표기】	KIM,MIN
【주민등록번호】	661009-1052315
【우편번호】	442-470

【주소】 경기도 수원시 팔달구 영통동 1048-2(20/2) 청명마을 주공아파트 407 동 1704호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	5 면	5,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	21 항	781,000 원
【합계】		815,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

트렌치 소자분리 방법을 제공한다. 상기 방법은 셀 어레이 영역과 주변회로 영역이 구비된 반도체 기판을 제공하고, 상기 반도체 기판에 트렌치를 형성하되, 상기 셀 어레이 영역 내에 셀 트렌치를 그리고, 상기 주변회로 영역 내에 상기 셀 트렌치 보다 넓은 주변회로 트렌치를 형성하는 것을 구비한다. 상기 셀 및 주변회로 트렌치들이 형성된 반도체 기판 전면에 상기 셀 및 주변회로 트렌치들을 일부 채우는 제 1 절연막을 형성한다. 상기 제 1 절연막이 형성된 반도체 기판 상에 상기 셀 어레이 영역을 노출시키는 포토레지스트 패턴을 형성한다. 상기 노출된 셀 어레이 영역의 셀 트렌치 측벽에 형성된 제 1 절연막을 식각한다. 상기 포토레지스트 패턴을 제거하고, 상기 포토레지스트 패턴이 제거된 반도체 기판 전면에 상기 셀 및 주변회로 트렌치들을 채우는 제 2 절연막을 형성한다. 상술한 방법에 따르면, 셀 트렌치 소자분리막을 보이드 없이 형성할 뿐 아니라, 주변회로 트렌치에 인접한 게이트 절연막에 언더컷이 없는 트렌치 소자분리를 구현할 수 있다.

【대표도】

도 2c

【색인어】

트렌치 소자분리, HDP CVD 산화막

【명세서】**【발명의 명칭】**

트렌치 소자분리 방법 {trench isolation method}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래의 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 트렌치 소자분리 방법을 공정단계 별로 설명하기 위한 단면도들이다.

(도면의 주요 부위에 대한 부호의 설명)

100 : 반도체 기판

130 : 셀 트렌치

150 : 주변회로 트렌치

600 : 제 1 절연막

700 : 포토레지스트 패턴

800 : 제 2 절연막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 소자의 제조방법에 관한 것으로서, 더 구체적으로는 트렌치 소자분리 방법에 관한 것이다.

<8> 반도체 소자가 고집적화되면서, 단위 셀 면적이 감소함에 따라 소자분리막이 차지하는 면적 또한 감소하고 있다. 이에 따라, 상기 소자분리막으로 버즈 빅(bird's beak) 현상이 없는 트렌치 소자분리막(trench isolation)을 사용하고 있고, 상기 트렌치의 폭 또한 점차로 감소되

는 추세에 있다. 상기 트렌치의 폭이 감소함에 따라 상기 트렌치의 종횡비가 증가하고, 이로 인해 트렌치 내부를 보이드(void)없이 절연막으로 채우는 것이 점점 어려워지고 있다.

<9> 도 1a 및 도 1b는 종래의 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

<10> 도 1a를 참조하면, 기판(10) 상에 연마저지막 패턴(30)을 형성하고, 상기 연마저지막 패턴(30)을 마스크로 하여 상기 기판(10)을 식각한다. 이 때, 상기 기판(10)에는 폭이 서로 다른 트렌치들 즉, 좁은 폭 트렌치(13)와 넓은 폭 트렌치(15)가 형성된다. 상기 연마저지막 패턴(30) 하부에는 게이트 절연막(20)이 형성되어 있다.

<11> 이어서, 상기 트렌치들(13, 15)을 고밀도 플라즈마(high density plasma; 이하 HDP라 한다) CVD산화막(40)으로 매립한다. 상기 HDP-CVD 산화막(40)은 그 형성에 있어 증착(deposition)과 스퍼터 식각(sputter etching)이 반복적으로 진행됨에 따라, 종래의 PECVD(plasma enhanced chemical vapor deposition) 산화막에 비해 우수한 갭-필(gap-fill) 특성을 나타낸다. 그러나, 상기 스퍼터 식각 과정에서 상기 트렌치들(13, 15) 측벽에서 떨어져나온(sputtered) 산화막은 반대편의 측벽에 도달하여 재증착(redemption)되는데, 상기 넓은 폭 트렌치(15)의 경우 측벽 전체에 걸쳐 산화막이 재증착되나, 상기 좁은 폭 트렌치(13)의 경우 그 상부 측벽에 집중적으로 산화막이 재증착된다. 이로 인해 상기 좁은 폭 트렌치(13)의 상부 측벽에 형성된 산화막(40a)은 상기 넓은 폭 트렌치(15)의 상부 측벽에 형성된 산화막(40b)보다 두껍다. 또한, 좁은 폭 트렌치(13) 상부 측벽에 형성된 상기 두꺼운 산화막(40a)이 서로 만나게 되면, 트렌치 내부가 절연막에 의해 완전히 매립되지 못하고 보이드(v)가 발생할 수 있다.

<12> 도 1b를 참조하면, 상기 좁은 폭 트렌치를 보이드 없이 완전히 매립하기 위해 상기 좁은 폭 트렌치(13)의 상부 측벽에 형성된 산화막(도 1a의 40a)을 습식식각에 의해 식각함으로써, 상기 좁은 폭 트렌치(13)의 입구를 넓힌다. 상기 습식식각은 기판 전체에 걸쳐 행해지므로, 상

기 좁은 폭 트렌치(13)의 상부 측벽 산화막(도 1a의 40a) 보다 얇은 상기 넓은 폭 트렌치(15)의 상부 측벽 산화막(도 1a의 40b)은 식각되고, 또한 상기 넓은 폭 트렌치(15)에 인접한 게이트 절연막(20)이 식각되어 언더컷(25)을 형성하게 된다. 이어서, 상기 트렌치들(13, 15)을 완전히 채우는 산화막(50)을 다시 형성하게 되는데, 이 때 상기 언더컷(25)은 보이드(void)로서 남게 된다. 상기 보이드(25)와 상기 언더컷된 게이트 절연막은 반도체 소자의 신뢰성을 저해한다.

<13> 미국 특허 제 6531377호에서는 트렌치 내부에 제 1 절연막을 형성하고, 등방성 식각을 진행하여 상기 트렌치 측벽의 절연막을 제거한 후, 제 2 절연막을 형성하는 단계를 포함하는 소자분리막 형성방법을 개시하고 있다. 그러나, 상기 등방성 식각을 기판 전체에 걸쳐 수행하는 것은 상술한 바와 같은 문제점을 유발시킬 수 있다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명이 이루고자 하는 기술적 과제는 상술한 바와 같은 문제점을 해결하기 위한 것으로 폭이 좁은 셀 트렌치 소자분리막을 보이드 없이 형성할 뿐 아니라, 폭이 넓은 주변회로 트렌치에 인접한 게이트 절연막에 언더컷이 없는 트렌치 소자분리 방법을 제공하고자 한다.

【발명의 구성 및 작용】

<15> 상기 기술적 과제를 이루기 위하여 본 발명은 트렌치 소자분리 방법을 제공한다. 상기 방법은 셀 어레이 영역과 주변회로 영역이 구비된 반도체 기판을 제공하고, 상기 반도체 기판에 트렌치를 형성하되, 상기 셀 어레이 영역 내에 셀 트렌치를 그리고, 상기 주변회로 영역 내에 상기 셀 트렌치 보다 넓은 주변회로 트렌치를 형성하는 것을 포함한다. 상기 셀 및 주변회로 트렌치들이 형성된 반도체 기판 전면에서 상기 셀 및 주변회로 트렌치들을 일부 채우는 제 1

절연막을 형성한다. 상기 제 1 절연막이 형성된 반도체 기판 상에 상기 셀 어레이 영역을 노출시키는 포토레지스트 패턴을 형성한다. 상기 노출된 셀 어레이 영역의 셀 트렌치 측벽에 형성된 제 1 절연막을 식각한다. 상기 포토레지스트 패턴을 제거하고, 상기 포토레지스트 패턴이 제거된 반도체 기판 전면에서 상기 셀 및 주변회로 트렌치들을 채우는 제 2 절연막을 형성한다.

<16> 상기 셀 및 주변회로 트렌치를 형성하기 전에, 상기 셀 어레이 및 주변회로 영역이 구비된 반도체 기판 전면에서 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 연마저지막을 형성하고, 상기 연마저지막 및 상기 게이트 절연막을 차례로 식각하여 상기 셀 및 주변회로 트렌치를 형성하기 위한 하드마스크 패턴을 형성하는 것이 바람직하다.

<17> 상기 게이트 절연막은 상기 셀 어레이 영역과 상기 주변회로 영역 상에 서로 다른 두께로 형성되, 상기 주변회로 영역 상의 게이트 절연막을 더 두껍게 형성할 수 있다.

<18> 상기 하드마스크 패턴을 형성하기 전에, 상기 연마저지막 상에 산화막을 형성하는 것이 바람직하다. 이 경우, 상기 하드마스크 패턴을 형성하는 것은 상기 산화막, 상기 연마저지막, 상기 게이트 절연막을 차례로 식각하여 형성한다.

<19> 상기 제 1 절연막을 형성하기 전에, 상기 셀 및 주변회로 트렌치가 형성된 반도체 기판 상에 제 1 캡핑막을 형성하는 것이 바람직하다. 상기 제 1 캡핑막은 MTO(medium temperature oxide) 막이거나 HTO(high temperature oxide)막으로 형성할 수 있다.

<20> 상기 제 1 절연막은 HDP-CVD 산화막으로 형성하는 것이 바람직하다.

<21> 상기 셀 트렌치 측벽에 형성된 제 1 절연막을 식각하는 것은 습식식각을 사용하여 실시할 수 있다.

- <22> 상기 제 2 절연막을 형성하기 전에, 상기 포토레지스트 패턴이 제거된 반도체 기판 전면
에 제 2 캡핑막을 형성하는 것이 바람직하다. 상기 제 2 캡핑막은 MTO 막이거나 HTO 막으로 형
성할 수 있다.
- <23> 상기 제 2 절연막은 HDP-CVD 산화막이거나 USG 산화막으로 형성하는 것이 바람직하다.
- <24> 상기 기술적 과제를 이루기 위하여 본 발명은 비휘발성 메모리 소자의 트렌치 소자분리
방법을 제공한다. 상기 방법은 셀 어레이 영역과 주변회로 영역이 구비된 반도체 기판을 제공
하고, 상기 반도체 기판 전면에서 게이트 절연막, 폴리 실리콘막 및 연마저지막을 차례로 형성하
는 것을 포함한다. 상기 연마저지막, 상기 폴리 실리콘막 및 상기 게이트 절연막을 차례로 식
각하여 하드마스크 패턴을 형성함과 동시에 상기 셀 어레이 및 주변회로 영역의 반도체 기판을
노출시키되, 상기 노출된 주변회로 영역의 반도체 기판은 상기 노출된 셀 어레이 영역의 반도
체 기판에 비해 넓다. 상기 노출된 반도체 기판을 식각하여 트렌치를 형성하되, 상기 셀 어레
이 영역 내에 셀 트렌치를 그리고, 상기 주변회로 영역 내에 상기 셀 트렌치 보다 넓은 주변회
로 트렌치를 형성한다. 상기 셀 및 주변회로 트렌치들이 형성된 반도체 기판 전면에서 상기 셀
및 주변회로 트렌치들을 일부 채우는 제 1 절연막을 형성한다. 상기 제 1 절연막이 형성된 반
도체 기판 상에 상기 셀 어레이 영역을 노출시키는 포토레지스트 패턴을 형성한다. 상기 노출
된 셀 어레이 영역의 셀 트렌치 측벽에 형성된 제 1 절연막을 식각한다. 상기 포토레지스트 패
턴을 제거하고, 상기 포토레지스트 패턴이 제거된 반도체 기판 전면에서 상기 셀 및 주변회로 트
렌치들을 채우는 제 2 절연막을 형성한다.
- <25> 상기 게이트 절연막은 상기 셀 어레이 영역과 상기 주변회로 영역 상에 서로 다른 두께
로 형성하되, 상기 주변회로 영역 상의 게이트 절연막을 더 두껍게 형성하는 것이 바람직하다.

- <26> 상기 하드마스크 패턴을 형성하기 전에, 상기 연마저지막 상에 산화막을 형성하는 것이 바람직하다. 이 경우, 상기 하드마스크 패턴을 형성하는 것은 상기 산화막, 상기 연마저지막, 상기 폴리 실리콘막 및 상기 게이트 절연막을 차례로 식각하여 형성한다.
- <27> 상기 제 1 절연막을 형성하기 전에, 상기 셀 및 주변회로 트렌치가 형성된 반도체 기판 상에 제 1 캡핑막을 형성하는 것이 바람직하다. 상기 제 1 캡핑막은 MTO 막이거나 HTO 막으로 형성할 수 있다.
- <28> 상기 제 1 절연막은 HDP-CVD 산화막으로 형성할 수 있다.
- <29> 상기 셀 트렌치 측벽에 형성된 제 1 절연막을 식각하는 것은 습식식각을 사용하여 실시할 수 있다.
- <30> 상기 제 2 절연막을 형성하기 전에, 상기 포토레지스트 패턴이 제거된 반도체 기판 전면 에 제 2 캡핑막을 형성하는 것이 바람직하다. 상기 제 2 캡핑막은 MTO 막이거나 HTO 막으로 형성할 수 있다.
- <31> 상기 제 2 절연막은 HDP-CVD 산화막이거나 USG 산화막으로 형성하는 것이 바람직하다.
- <32> 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다.
- <33> 도면에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소를 나타낸다.

- <34> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 트렌치 소자분리 방법을 공정단계 별로 설명하기 위한 단면도들이다.
- <35> 상기 도면들에 있어서, 참조부호 a로 표시된 부분은 셀 어레이 영역을 나타내고, 참조부호 b로 표시된 부분은 고전압이 인가되는 주변회로 영역을 나타낸다.
- <36> 도 2a를 참조하면, 반도체 기판(100) 상에 게이트절연막(230, 250), 연마저지막(300), 산화막(400)을 차례로 적층한다.
- <37> 상기 게이트절연막(230, 250)은 셀 어레이 영역(a)과 주변회로 영역(b)에 있어서 그 두께가 서로 다르게 형성될 수 있다. 비휘발성 메모리소자의 경우, 상기 셀 어레이 영역(a)에 읽기 모드에서 동작하는 저전압 모스 트랜지스터가 그리고, 상기 주변회로 영역(b)에 프로그램 및 소거 모드에서 동작하는 고전압 모스 트랜지스터가 형성된다. 이 때, 고전압에서 동작하는 고전압 모스 트랜지스터의 게이트 절연막은 저전압에서 동작하는 저전압 모스 트랜지스터의 게이트 절연막보다 두꺼운 두께로 형성한다.
- <38> 이와 같이 게이트 절연막(230, 250)을 셀 어레이 영역(a)과 주변회로 영역(b)에 있어서 서로 다른 두께로 형성하는 것은 다음과 같은 방법으로 실시한다. 상기 반도체 기판(100)을 열산화시켜서 상기 반도체 기판(100) 전면에서 300Å 정도의 두꺼운 게이트 절연막을 형성하고, 상기 반도체 기판(100)의 주변회로 영역(b)을 포토레지스트로 덮고 상기 셀 어레이 영역(a)을 노출시킨다. 이어서, 상기 노출된 셀 어레이 영역(a)의 상기 두꺼운 게이트 절연막을 습식식각하여, 상기 셀 어레이 영역(a)의 반도체 기판(100)을 노출시킨다. 상기 포토레지스트 패턴을 제거하고, 포토레지스트 패턴이 제거된 반도체 기판(100)을 열산화시켜서 30Å 정도의 얇은 게이트 절연막을 형성한다. 결과적으로, 상기 고전압이 인가되는 주변회로 영역(a)에는 300Å 정도

의 두꺼운 게이트 절연막(250)이 형성되고, 상기 저전압이 인가되는 셀 어레이 영역(a)에는 30 Å 정도의 얇은 게이트 절연막(230)이 형성된다.

- <39> 상기 연마저지막(300)은 실리콘 질화막인 것이 바람직하다. 상기 연마저지막(300)은 수백 내지 1000 Å의 두께로 형성된다. 자기 정렬형 비휘발성 메모리 소자의 경우, 상기 연마저지막(300) 형성 전에 하부 플로팅게이트를 형성할 폴리 실리콘막(270)을 더욱 형성할 수 있다.
- <40> 상기 산화막(400)은 수백 Å의 두께를 갖도록 형성하는 것이 바람직하다. 상기 산화막(400)은 후속하는 식각공정에서 균일한 폭을 갖는 패턴을 형성하기 위함이다.
- <41> 이어서, 상기 산화막(400), 상기 연마저지막(300), 상기 폴리 실리콘막(270), 상기 게이트 절연막(230, 250)을 포토레지스트 패턴을 마스크로 하여 차례로 식각함으로써, 하드마스크 패턴(450)을 형성함과 동시에 셀 어레이(a) 및 주변회로 영역(b)의 반도체 기판(100)을 노출시킨다. 상기 노출된 주변회로 영역(b)의 반도체 기판(100)은 상기 노출된 셀 어레이 영역(a)의 반도체 기판(100)에 비해 넓다.
- <42> 이어서, 상기 포토레지스트 패턴을 제거한 후, 상기 노출된 반도체 기판(100)을 상기 하드마스크 패턴(450)을 마스크로 하여 식각함으로써, 셀 트렌치(130) 및 주변회로 트렌치(150)를 형성한다. 상기 셀 트렌치(130)는 셀 어레이 영역(a) 내에 형성되어 셀 활성영역(130a)을 한정하고, 상기 주변회로 트렌치(150)는 주변회로 영역(b) 내에 형성되어 주변회로 활성영역(150a)을 한정한다. 상기 주변회로 트렌치(150)는 상기 셀 트렌치(130)에 비해 넓은데, 이는 고전압이 인가되는 주변회로 영역(b)에서의 신뢰성 있는 소자분리를 구현하기 위함이다.

- <43> 도 2b를 참조하면, 상기 트렌치들(130, 150)의 측벽 및 바닥에 열산화막(미도시)을 형성하는 것이 바람직하다. 상기 열산화막을 형성함으로써, 상기 트렌치들(130, 150)을 형성할 때 반도체 기판(100)에 가해진 손상을 치유할 수 있다.
- <44> 상기 열산화막이 형성된 반도체 기판(100) 상에 제 1 캡핑막(500)을 형성하는 것이 바람직하다. 상기 제 1 캡핑막(500)을 형성한 후, 상기 트렌치들(130, 150)을 일부 채우는 제 1 절연막(600)을 형성한다. 바람직하게는 상기 제 1 절연막(600)은 상기 트렌치들(130, 150)을 $\frac{2}{3}$ 정도 채우도록 형성한다.
- <45> 상기 제 1 절연막(600)은 매립특성(gap-fill property)이 우수한 HDP-CVD 산화막으로 형성하는 것이 바람직하다. 상기 HDP-CVD 산화막은 그 형성과정에 있어, 증착과 스퍼터 식각이 반복적으로 진행됨으로써 매립특성이 우수하게 된다. 그러나, 상기 스퍼터 식각 과정에서 상기 트렌치들(130, 150) 측벽에서 떨어져 나온(sputtered) 산화막은 반대편의 측벽에 도달하여 재증착(redeposition)되는데, 상기 폭이 넓은 주변회로 트렌치(150)의 경우 측벽 전체에 걸쳐 산화막이 재증착되나, 상기 폭이 좁은 셀 트렌치(130)의 경우 그 상부 측벽에 집중적으로 산화막이 재증착된다. 따라서, 상기 셀 트렌치(130)의 상부 측벽에 형성된 산화막(600a)은 상기 주변회로 트렌치(150)의 상부 측벽에 형성된 산화막(600b)보다 두껍게 형성된다.
- <46> 상기 제 1 캡핑막(500)은 상기 활성영역(130a, 150a)들 상의 상기 연마저지막(300)을 보호하는 역할을 한다. 부연하면, 상기 제 1 절연막(600)을 상기 HDP-CVD 산화막으로 형성하는 경우에 있어, 상기 스퍼터 식각에 의해 상기 연마저지막(300)의 상부 코너가 식각되는 것을 방지해 준다. 이러한 제 1 캡핑막(500)은 MTO(medium temperature oxide)이거나 HTO(high temperature oxide)일 수 있다.

<47> 도 2c를 참조하면, 상기 제 1 절연막(600)이 형성된 기판(100) 상에 상기 셀 어레이 영역(a)을 노출시키는 포토레지스트 패턴(700)을 형성한다. 이어서, 상기 노출된 셀 어레이 영역(a) 내의 셀 트렌치의 상부 측벽 상에 형성된 제 1 절연막(도 2b의 600a)을 식각하여 그 하부의 제 1 캡핑막(500)을 노출시킨다. 이 때, 상기 하드마스크 패턴(450) 상부 및 상기 트렌치들(130, 150) 바닥에 형성된 상기 제 1 절연막(600)도 식각된다. 상기 제 1 캡핑막(500)을 형성하지 않은 경우에는 상기 셀 트렌치의 상부 측벽 상에 형성된 제 1 절연막(도 2b의 600a)을 식각함에 있어서, 상기 셀 트렌치(130)에 인접한 상기 게이트 절연막(230)이 노출되지 않도록 상기 셀 트렌치(130)의 상부 측벽 상에 제 1 절연막을 일부 남긴다.

<48> 결과적으로, 상기 셀 트렌치(130) 상부 측벽 상에 형성된 제 1 절연막(도 2b의 600a)이 식각됨으로써, 상기 셀 트렌치(130)의 입구가 넓어진다. 즉, 상기 셀 트렌치(130)의 종횡비를 완화시킴으로써, 후속 공정에서 형성되는 제 2 절연막을 보이드 없이 형성할 수 있다. 한편, 상기 주변회로 트렌치(150)의 상부 측벽 상에 형성된 제 1 절연막(600b)은 상기 포토레지스트 패턴(700)에 의해 보호되므로 식각되지 않는다. 이로 인해, 상기 주변회로 트렌치(150)에 인접한 게이트 절연막(250)이 언더컷되는 것을 방지할 수 있다.

<49> 상기 제 1 절연막(600)을 식각하는 것은 습식식각에 의해 식각할 수 있다. 상기 습식식각에 사용되는 용액은 불화암모늄(ammonium fluoride; NH_4F)과 불산(HF)의 혼합용액인 BOE(buffered oxide etchant)용액을 사용하는 것이 바람직하다.

<50> 도 2d를 참조하면, 상기 포토레지스트 패턴(도 2c의 700)을 제거하고, 상기 포토레지스트 패턴(도 2c의 700)이 제거된 반도체 기판(100) 전면에 상기 셀 및 주변회로 트렌치들(130, 150)을 채우는 제 2 절연막(800)을 형성한다. 이로써, 상기 트렌치들(130, 150)은 제 2 절연막(800)으로 완전히 채워진다.

- <51> 상기 제 2 절연막(800)은 매립특성이 우수한 물질막인 HDP-CVD 산화막 또는 USG 산화막으로 형성하는 것이 바람직하다.
- <52> 상기 제 2 절연막(800)을 형성하기 전에, 상기 포토레지스트 패턴(도 2c의 700)이 제거된 반도체 기판(100)상에 제 2 캡핑막(650)을 형성하는 것이 바람직하다. 상기 제 2 캡핑막(650) 또한 상기 제 1 캡핑막(500)과 마찬가지로 제 2 절연막(800)을 상기 HDP-CVD 산화막으로 형성하는 경우, 상기 HDP-CVD 산화막의 형성과정에 있어서의 스퍼터 식각에 의해 상기 트렌치들(130, 150)에 인접한 연마저지막(300)의 상부 코너가 식각되는 것을 방지해 준다. 이러한 제 2 캡핑막(650)은 MT0(medium temperature oxide)이거나 HT0(high temperature oxide)일 수 있다.
- <53> 도 2e를 참조하면, 상기 제 2 절연막(800)이 형성된 반도체 기판(100) 전면을 화학 기계적 연마(chemical mechanical polishing; 이하, CMP라 한다)공정을 사용하여 연마함으로써, 상기 연마저지막(300)을 노출시킨다. 이어서, 상기 노출된 연마저지막(300)을 제거하여 상기 폴리 실리콘막(270)을 노출시킴으로써 트렌치 소자분리 구조를 완성한다.

【발명의 효과】

- <54> 상술한 바와 같이 본 발명에 따르면, 셀 및 주변회로 트렌치들을 일부 채우는 제 1 절연막을 형성한 후, 포토레지스트 패턴을 사용하여 상기 셀 트렌치 측벽에 형성된 제 1 절연막을 선택적으로 식각함으로써, 셀 트렌치 소자분리막을 보이드 없이 형성할 뿐 아니라, 주변회로 트렌치에 인접한 게이트 절연막에 언더컷이 없는 트렌치 소자분리를 구현할 수 있다.

【특허청구범위】**【청구항 1】**

셀 어레이 영역과 주변회로 영역이 구비된 반도체 기판을 제공하고;

상기 반도체 기판에 트렌치를 형성하되, 상기 셀 어레이 영역 내에 셀 트렌치를 그리고, 상기 주변회로 영역 내에 상기 셀 트렌치 보다 넓은 주변회로 트렌치를 형성하고;

상기 셀 및 주변회로 트렌치들이 형성된 반도체 기판 전면에 상기 셀 및 주변회로 트렌치들을 일부 채우는 제 1 절연막을 형성하고;

상기 제 1 절연막이 형성된 반도체 기판 상에 상기 셀 어레이 영역을 노출시키는 포토레지스트 패턴을 형성하고;

상기 노출된 셀 어레이 영역의 셀 트렌치 측벽에 형성된 제 1 절연막을 식각하고;

상기 포토레지스트 패턴을 제거하고;

상기 포토레지스트 패턴이 제거된 반도체 기판 전면에 상기 셀 및 주변회로 트렌치들을 채우는 제 2 절연막을 형성하는 것을 포함하는 트렌치 소자분리 방법.

【청구항 2】

제 1 항에 있어서,

상기 셀 및 주변회로 트렌치를 형성하기 전에, 상기 셀 어레이 및 주변회로 영역이 구비된 반도체 기판 전면에 게이트 절연막을 형성하고;

상기 게이트 절연막 상에 연마저지막을 형성하고;

상기 연마저지막 및 상기 게이트 절연막을 차례로 식각하여 상기 셀 및 주변회로 트렌치를 형성하기 위한 하드마스크 패턴을 형성하는 것을 더욱 포함하는 트렌치 소자분리방법.

【청구항 3】

제 2 항에 있어서,

상기 게이트 절연막은

상기 셀 어레이 영역과 상기 주변회로 영역 상에 서로 다른 두께로 형성하되, 상기 주변회로 영역 상의 게이트 절연막을 더 두껍게 형성하는 트렌치 소자분리 방법.

【청구항 4】

제 2 항에 있어서,

상기 하드마스크 패턴을 형성하기 전에, 상기 연마저지막 상에 산화막을 형성하고;

상기 하드마스크 패턴을 형성하는 것은 상기 산화막, 상기 연마저지막, 상기 게이트 절연막을 차례로 식각하여 형성하는 트렌치 소자분리 방법.

【청구항 5】

제 1 항에 있어서,

상기 제 1 절연막을 형성하기 전에,

상기 셀 및 주변회로 트렌치가 형성된 반도체 기판 상에 제 1 캡핑막을 형성하는 것을 더욱 포함하는 트렌치 소자분리 방법.

【청구항 6】

제 5 항에 있어서,

상기 제 1 캡핑막은 MTO 막이거나 HTO 막으로 형성하는 트렌치 소자분리 방법.

【청구항 7】

제 1항에 있어서,

상기 제 1 절연막은 HDP-CVD 산화막으로 형성하는 트렌치 소자분리 방법.

【청구항 8】

제 1항에 있어서,

상기 셀 트렌치 측벽에 형성된 제 1 절연막을 식각하는 것은

습식식각을 사용하여 실시하는 트렌치 소자분리 방법.

【청구항 9】

제 1 항에 있어서,

상기 제 2 절연막을 형성하기 전에,

상기 포토레지스트 패턴이 제거된 반도체 기판 전면에 제 2 캡핑막을 형성하는 것을 더욱 포함하는 트렌치 소자분리 방법.

【청구항 10】

제 9 항에 있어서,

상기 제 2 캡핑막은 MTO 막이거나 HTO 막으로 형성하는 트렌치 소자분리 방법.

【청구항 11】

제 1 항에 있어서,

상기 제 2 절연막은 HDP-CVD 산화막이거나 USG 산화막으로 형성하는 트렌치 소자분리 방법.

【청구항 12】

셀 어레이 영역과 주변회로 영역이 구비된 반도체 기판을 제공하고;

상기 반도체 기판 전면에 게이트 절연막, 폴리 실리콘막, 연마저지막을 차례로 형성하고;

상기 연마저지막, 상기 폴리 실리콘막 및 상기 게이트 절연막을 차례로 식각하여 하드마스크 패턴을 형성함과 동시에 상기 셀 어레이 및 주변회로 영역의 반도체 기판을 노출시키되, 상기 노출된 주변회로 영역의 반도체 기판은 상기 노출된 셀 어레이 영역의 반도체 기판에 비해 넓고;

상기 노출된 반도체 기판을 식각하여 트렌치를 형성하되, 상기 셀 어레이 영역 내에 셀 트렌치를 그리고, 상기 주변회로 영역 내에 상기 셀 트렌치 보다 넓은 주변회로 트렌치를 형성하고;

상기 셀 및 주변회로 트렌치들이 형성된 반도체 기판 전면에 상기 셀 및 주변회로 트렌치들을 일부 채우는 제 1 절연막을 형성하고;

상기 제 1 절연막이 형성된 반도체 기판 상에 상기 셀 어레이 영역을 노출시키는 포토레지스트 패턴을 형성하고;

상기 노출된 셀 어레이 영역의 셀 트렌치 측벽에 형성된 제 1 절연막을 식각하고;

상기 포토레지스트 패턴을 제거하고;

상기 포토레지스트 패턴이 제거된 반도체 기판 전면에 상기 셀 및 주변회로 트렌치들을 채우는 제 2 절연막을 형성하는 것을 포함하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.

【청구항 13】

제 12 항에 있어서,

상기 게이트 절연막은

상기 셀 어레이 영역과 상기 주변회로 영역 상에 서로 다른 두께로 형성하되, 상기 주변회로 영역 상의 게이트 절연막을 더 두껍게 형성하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.

【청구항 14】

제 12 항에 있어서,

상기 하드마스크 패턴을 형성하기 전에, 상기 연마저지막 상에 산화막을 형성하고;

상기 하드마스크 패턴을 형성하는 것은 상기 산화막, 상기 연마저지막, 상기 폴리 실리콘막 및 상기 게이트 절연막을 차례로 식각하여 형성하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.

【청구항 15】

제 12 항에 있어서,

상기 제 1 절연막을 형성하기 전에,

상기 셀 및 주변회로 트렌치가 형성된 반도체 기판 상에 제 1 캡핑막을 형성하는 것을 더욱 포함하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.

【청구항 16】

제 15 항에 있어서,

상기 제 1 캡핑막은 MTO 막이거나 HTO 막으로 형성하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.

【청구항 17】

제 12 항에 있어서,

상기 제 1 절연막은 HDP-CVD 산화막으로 형성하는 비휘발성 메모리 소자의 트렌치 소자 분리 방법.

【청구항 18】

제 12 항에 있어서,

상기 셀 트렌치 측벽에 형성된 제 1 절연막을 식각하는 것은

습식식각을 사용하여 실시하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.

【청구항 19】

제 12 항에 있어서,

상기 제 2 절연막을 형성하기 전에,

상기 포토레지스트 패턴이 제거된 반도체 기판 전면에 제 2 캡핑막을 형성하는 것을 더욱 포함하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.



【청구항 20】

제 19 항에 있어서,

상기 제 2 캡핑막은 MTO 막이거나 HTO 막으로 형성하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.

【청구항 21】

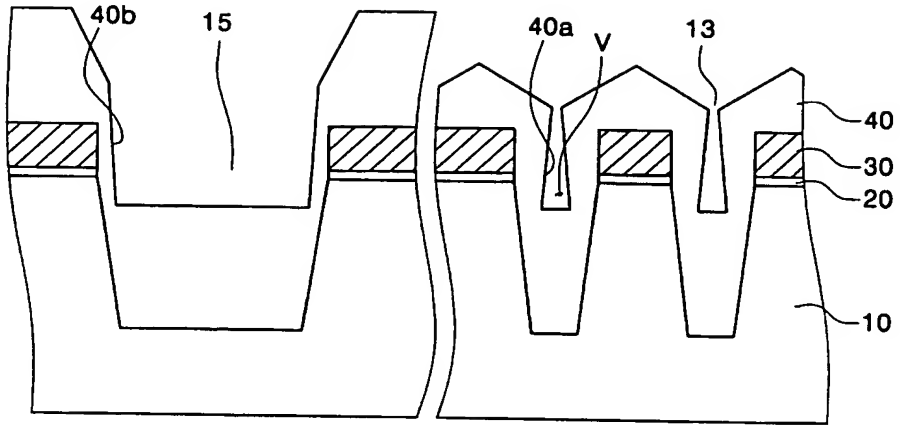
제 12 항에 있어서,

상기 제 2 절연막은 HDP-CVD 산화막이거나 USG 산화막으로 형성하는 비휘발성 메모리 소자의 트렌치 소자분리 방법.

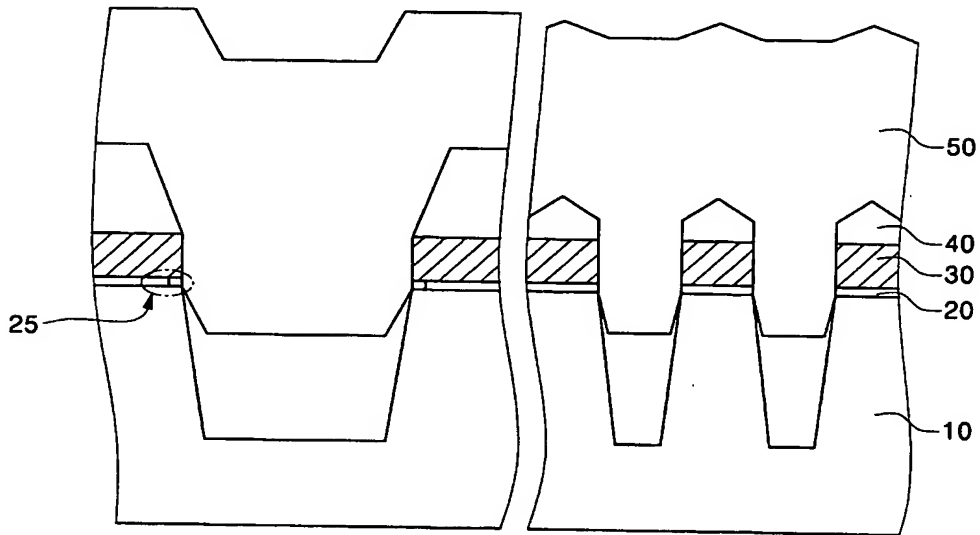


【도면】

【도 1a】

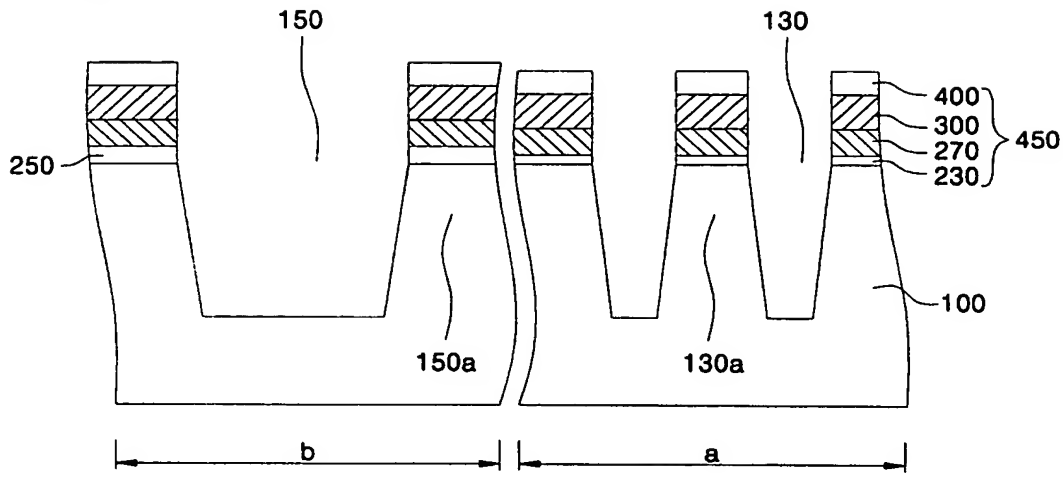


【도 1b】

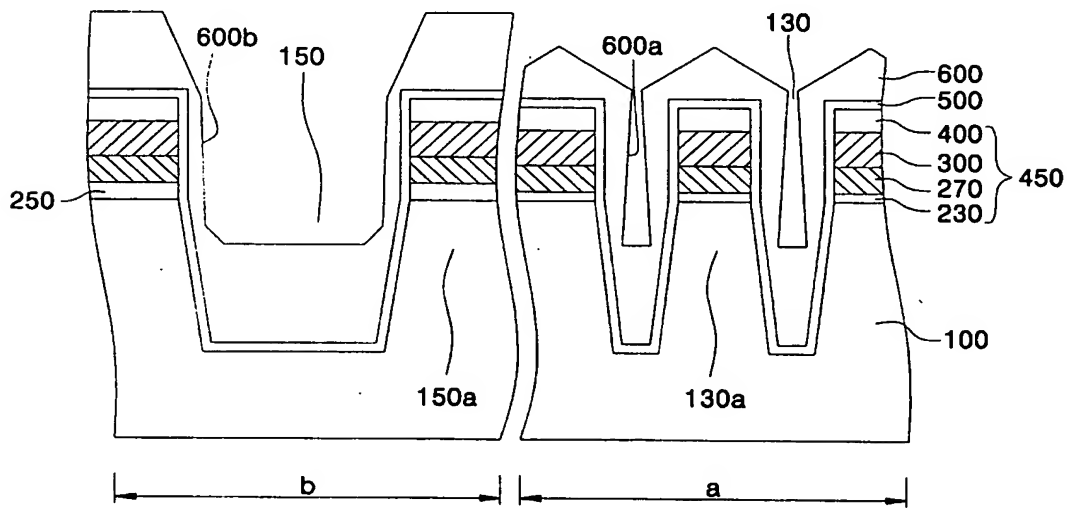




【도 2a】

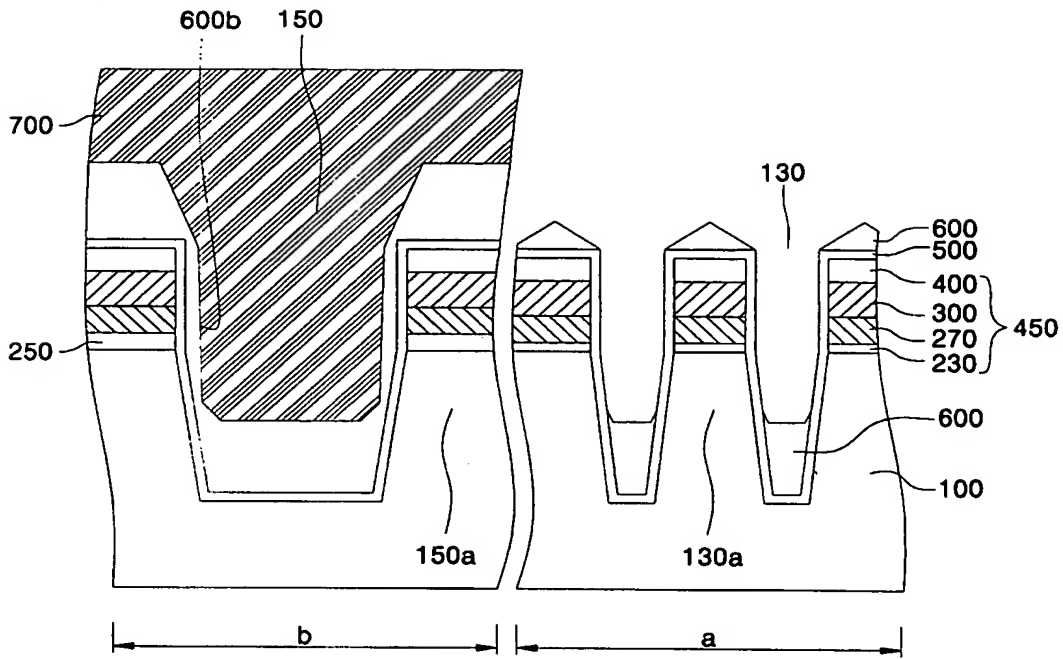


【도 2b】

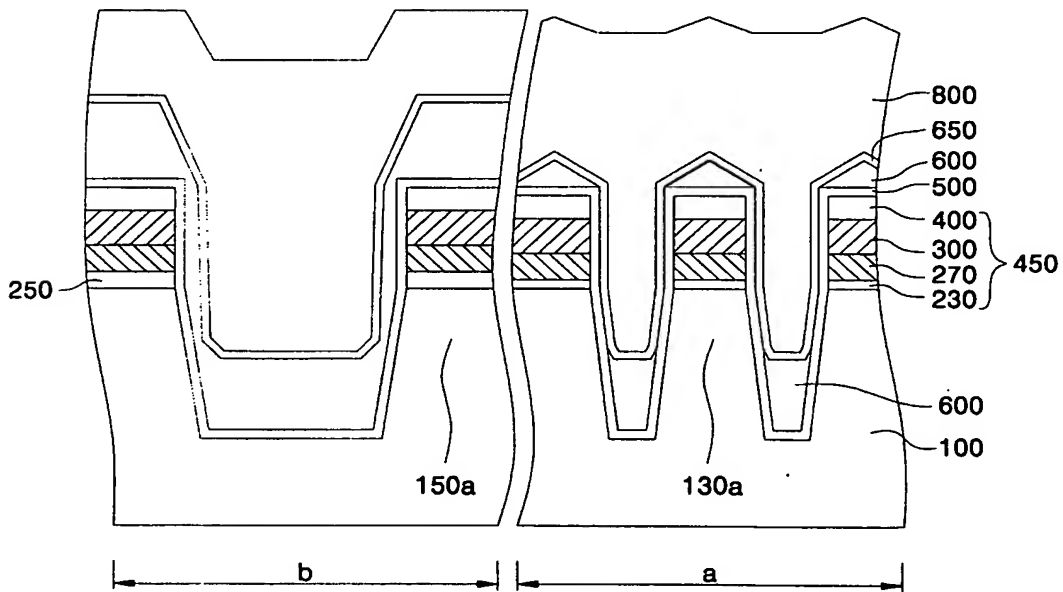




【도 2c】



【도 2d】





1020030046982

출력 일자: 2003/10/4

【도 2e】

